|  |  |
| --- | --- |
| TRƯỜNG ĐẠI HỌC VĂN HIẾN | **CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT NAM** |
| **KHOA KỸ THUẬT – CÔNG NGHỆ** | **Độc lập – Tự do – Hạnh phúc** |
|  |  |

**ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN**

1. **Thông tin về học phần**
* Tên học phần: **Ngôn ngữ mô tả phần cứng**
* Mã học phần: ELE401
* Số tín chỉ: 3 tín chỉ (2/1/6)
* Bậc đào tạo: Đại học
* Loại học phần (bắt buộc/tự chọn): Bắt buộc
* Học phần tiên quyết/ Học phần trước: Kỹ thuật lập trình cho hệ thống nhúng
* Đơn vị phụ trách: Khoa Kỹ thuật – Công nghệ
* Số giờ tín chỉ: 45 tiết, trong đó:
* Lý thuyết: 30 tiết (1 tín chỉ LT = 15 tiết)
* Thực hành: 30 tiết (1 tín chỉ TH = 30 tiết)
1. **Thông tin về giảng viên**

Giảng viên 1:

* Họ và tên:
* Chức danh, học vị:
* Thời gian làm việc: Giờ hành chính (8:00 -16:00)
* Địa điểm làm việc: Khoa Kỹ thuật – Công nghệ, Trường Đại học Văn Hiến
* Điện thoại:
* Email:

Giảng viên 2:

* Họ và tên:
* Chức danh, học vị:
* Thời gian làm việc: Giờ hành chính (8:00 -16:00)
* Địa điểm làm việc: Khoa Kỹ thuật – Công nghệ, Trường Đại học Văn Hiến
* Điện thoại:
1. **Tóm tắt nội dung học phần**

Học phần trang bị cho sinh viên kiến thức và kỹ năng cần thiết để mô tả, thiết kế và mô phỏng các hệ thống phần cứng. Sinh viên học cách sử dụng các ngôn ngữ mô tả phần cứng như VHDL và Verilog để tạo ra các mô hình phần cứng chính xác và hiệu quả, cũng như thực hiện các quy trình kiểm tra và tối ưu hóa thiết kế hệ thống.

1. **Mục tiêu của học phần**

- Mô tả và thiết kế các hệ thống phần cứng phức tạp.

- Hiểu và sử dụng các ngôn ngữ mô tả phần cứng như VHDL và Verilog.

- Phát triển khả năng làm việc với các công cụ thiết kế và mô phỏng phần cứng.

1. - Nắm vững quy trình thiết kế, kiểm tra và xác minh hệ thống phần cứng.
2. **Chuẩn đầu ra của học phần:**

| **Mã CĐR** | **Nội dung chuẩn đầu ra** |
| --- | --- |
| **Kiến thức** |
| CLO1 | Nắm vững các khái niệm cơ bản về ngôn ngữ mô tả phần cứng (HDL). |
| CLO2 | Hiểu các thành phần chính trong một hệ thống phần cứng. |
| CLO3 | Hiểu cách thức hoạt động của các ngôn ngữ HDL như VHDL và Verilog. |
| CLO4 | Mô tả quy trình thiết kế và mô phỏng hệ thống phần cứng. |
| **Kỹ năng** |
| CLO5 | Áp dụng ngôn ngữ HDL để mô tả và thiết kế các hệ thống phần cứng. |
| CLO6 | Thực hiện mô phỏng và kiểm tra các thiết kế phần cứng bằng công cụ phù hợp. |
| CLO7 | Thiết kế và phát triển các mô hình phần cứng sử dụng ngôn ngữ HDL. |
| CLO8 | Đánh giá kết quả mô phỏng để cải thiện thiết kế. |
| **Mức độ tự chủ và trách nhiệm** |
| CLO19 | Tổ chức làm việc nhóm, tổng hợp, đánh giá và đề xuất được công việc của các cá nhân trong nhóm thông qua bài tập, bài thực hành. |
| CLO10 | Lập kế hoạch làm việc độc lập và thực hiện được bài tập sau mỗi bài học, bài thực hành. |

**Ma trận liên kết giữa Chuẩn đầu ra chương trình đào tạo và Chuẩn đầu ra học phần**

| **Chuẩn đầu ra** | **PLO1** | **PLO2** | **PLO3** | **PLO4** | **PLO5** | **PLO6** | **PLO7** | **PLO8** | **PLO9** | **PLO10** | **PLO11** | **PLO12** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| CLO1 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO2 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO3 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO4 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO5 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO6 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO7 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO8 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO9 |  |  |  |  |  |  |  |  |  |  | X |  |
| CLO10 |  |  |  |  |  |  |  |  |  |  | X |  |

***Ghi chú: PLOs*** *(ProgrammeLearningOutcomes): Chuẩn đầu ra cấp CTĐT*

 ***CLOs*** *(Course LearningOutcomes): Chuẩn đầu ra học phần*

1. **Nội dung chi tiết của học phần**

**6.1. Lý thuyết**

| **Chương** | **Nội dung** | **Đáp ứng CLOs** |
| --- | --- | --- |
| **Chương 1** | **Tổng quan về thiết kế hệ thống phần cứng và HDL** | **CLO1, CLO2, CLO7** |
| 1.1. | Kiến trúc thiết kế hệ thống số |  |
| 1.2. | Phân biệt giữa thiết kế phần mềm và phần cứng |  |
| 1.3. | So sánh VHDL và Verilog |  |
| **Chương 2** | **Cấu trúc chương trình và cú pháp cơ bản** | **CLO1, CLO2, CLO8** |
| 2.1. | VHDL |  |
| 2.2. | Verilog |  |
| **Chương 3** | **Thiết kế mạch tổ hợp bằng HDL** | **CLO1, CLO2, CLO8** |
| 3.1. | Các khối mạch cơ bản |  |
| 3.2. | Thiết kế bộ cộng, bộ trừ, bộ giải mã, bộ mã hóa, bộ chọn |  |
| 3.3. | Thiết kế ALU đơn giản |  |
| **Chương 4** | **Thiết kế mạch tuần tự** | **CLO1, CLO3, CLO9** |
| 4.1. | Flip-Flop (D, T, JK), thanh ghi dịch, bộ đếm |  |
| 4.2. | Thiết kế FSM |  |
| 4.3. | Bộ điều khiển tuần tự |  |
| **Chương 5** | **Mô phỏng và xác minh thiết kế** | **CLO1, CLO3, CLO9** |
| 5.1. | Viết Testbench trong VHDL/Verilog |  |
| 5.2. | Mô phỏng mô hình hành vi, mô hình cấu trúc |  |
| 5.3. | Phân tích dạng sóng bằng ModelSim |  |

**6.2. Thực hành**

| **Bài** | **Nội dung** | **Đáp ứng CLOs** |
| --- | --- | --- |
| **Bài 1** | **Làm quen với công cụ mô phỏng** | **CLO2, CLO4, CLO10** |
| 1.1. | Viết module đơn giản |  |
| 1.2. | Tạo testbench |  |
| 1.3. | Mô phỏng hành vi và xem dạng sóng bằng ModelSim |  |
| **Bài 2** | **Thiết kế mạch tổ hợp** | **CLO2, CLO3, CLO8, CLO10** |
| 2.1. | Thiết kế mạch cộng 4 bit, MUX 4:1, giải mã 3-8 |  |
| 2.2. | Viết Testbench kiểm thử toàn diện |  |
| **Bài 3** | **Thiết kế mạch tuần tự** | **CLO1, CLO3, CLO9, CLO10** |
| 3.1. | Viết D Flip-Flop, bộ đếm đồng bộ, thanh ghi dịch |  |
| 3.2. | Mô phỏng hoạt động tuần tự theo xung clock |  |
| **Bài 4** | **Thiết kế FSM** | **CLO1, CLO3, CLO5, CLO10** |
| 4.1. | Hiển thị trạng thái bằng LED |  |
| 4.2. | FSM điều khiển đèn giao thông |  |
| **Bài 5** | **Tổng hợp thiết kế và triển khai trên FPGA** | **CLO1, CLO3, CLO5, CLO10** |
| 5.1. | Tổng hợp thiết kế bằng Vivado/Quartus |  |
| 5.2. | Thiết lập constraint |  |
| 5.3. | Lập trình thiết kế lên kit FPGA |  |
| 5.4. | Kiểm tra hoạt động thực tế |  |

1. **Phân bổ thời gian theo tiết và điều kiện thực hiện**

**7.1. Lý thuyết**

| **Chương** | **Tên chương** | **Số tiết tín chỉ** | **Ghi chú** |
| --- | --- | --- | --- |
| **Lý thuyết** | **Bài tập** | **Thực hành** | **Tự học** | **Tổng** |
| 1 | Tổng quan về thiết kế hệ thống phần cứng và HDL | 3 | 0 | 0 | 6 | 9 |  |
| 2 | Cấu trúc chương trình và cú pháp cơ bản | 5 | 0 | 0 | 10 | 15 |  |
| 3 | Thiết kế mạch tổ hợp bằng HDL | 7 | 0 | 0 | 14 | 21 |  |
| 4 | Thiết kế mạch tuần tự | 7 | 0 | 0 | 14 | 21 |  |
| 5 | Mô phỏng và xác minh thiết kế | 8 | 0 | 0 | 16 | 24 |  |
| **Tổng** | **30** | **0** | **0** | **60** | **90** |  |

**7.2. Thực hành**

| **Bài** | **Tên bài** | **Số tiết tín chỉ** | **Ghi chú** |
| --- | --- | --- | --- |
| **Lý thuyết** | **Bài tập** | **Thực hành** | **Tự học** | **Tổng** |
| 1 | Làm quen với công cụ mô phỏng | 0 | 0 | 5 | 10 | 15 |  |
| 2 | Thiết kế mạch tổ hợp | 0 | 0 | 5 | 10 | 15 |  |
| 3 | Thiết kế mạch tuần tự | 0 | 0 | 5 | 10 | 15 |  |
| 4 | Thiết kế FSM | 0 | 0 | 5 | 10 | 15 |  |
| 5 | Tổng hợp thiết kế và triển khai trên FPGA | 0 | 0 | 10 | 20 | 30 |  |
| **Tổng** | **0** | **0** | **30** | **60** | **90** |  |

**CÁC CHỦ ĐỀ THẢO LUẬN VÀ TIỂU LUẬN**

1.

2.

3.

1. **Phương pháp giảng dạy**

Giảng viên giảng dạy với sự kết hợp của một số phương pháp sau:

* + Thuyết trình
	+ Đọc và tóm lược nội dung tài liệu
	+ Động não nhanh (bài tập tư duy cá nhân)
	+ Thực hành thí nghiệm
	+ Trình bày trực quan
	+ Giao bài đọc về nhà
	+ Hướng dẫn tự học
	+ Thảo luận nhóm

**Ma trận liên kết giữa Chuẩn đầu ra với phương pháp giảng dạy**

| **Phương pháp giảng dạy** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** | **CLO10** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Thuyết trình | X | X | X | X | X | X | X | X | X | X |
| Đọc và tóm lược nội dung tài liệu | X | X | X | X | X | X | X | X | X | X |
| Động não nhanh (bài tập tư duy cá nhân) | X | X | X | X | X | X | X | X | X | X |
| Thực hành thí nghiệm | X | X | X | X | X | X | X | X | X | X |
| Trình bày trực quan | X | X | X | X | X | X | X | X | X | X |
| Giao bài đọc về nhà | X | X | X | X | X | X | X | X | X | X |
| Hướng dẫn tự học | X | X | X | X | X | X | X | X | X | X |
| Thảo luận nhóm | X | X | X | X | X | X | X | X | X | X |

1. **Phương pháp học tập**

Sinh viên học tập với sự kết hợp của một số phương pháp sau:

* + Thuyết trình
	+ Làm việc nhóm
	+ Tự học, tự nghiên cứu
	+ Làm thí nghiệm theo nhóm
	+ Tìm kiếm thông tin/tài liệu

**Ma trận liên kết giữa Chuẩn đầu ra với phương pháp học tập**

| **Phương pháp học tập** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** | **CLO10** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Thuyết trình | X | X | X | X | X | X | X | X | X | X |
| Làm việc nhóm | X | X | X | X | X | X | X | X | X | X |
| Tự học, tự nghiên cứu | X | X | X | X | X | X | X | X | X | X |
| Làm thí nghiệm theo nhóm | X | X | X | X | X | X | X | X | X | X |
| Tìm kiếm thông tin/tài liệu | X | X | X | X | X | X | X | X | X | X |

1. **Nhiệm vụ của sinh viên**
	1. - Chủ động tổ chức thực hiện giờ tự học.
	2. - Tham gia đầy đủ các giờ lên lớp và giờ thuyết trình (sinh viên chỉ được vắng mặt tối đa 20% thời gian lên lớp của học phần).
	3. - Đọc tài liệu tham khảo bắt buộc và bổ trợ do giảng viên giới thiệu.
	4. - Hoàn thành đầy đủ các bài tập cá nhân, bài tập nhóm.
	5. - Tham gia kỳ thi kết thúc học phần.
2. **Thang điểm đánh giá:** Điểm đánh giá quá trình và điểm thi kết thúc học phần được chấm theo thang điểm 10 (từ 0 đến 10), làm tròn đến 1 chữ số thập phân.
3. **Phương pháp kiểm tra, đánh giá kết quả học tập**

Sinh viên được đánh giá kết quả học tập trên cơ sở hai điểm thành phần như sau:

1. *Điểm đánh giá quá trình: trọng số 40% bao gồm:*
	1. Điểm chuyên cần: trọng số 10%
	2. Điểm kiểm tra giữa kỳ: trọng số 30%
2. *Điểm thi kết thúc học phần: trọng số 60%*

Hình thức thi: Tự luận viết/Báo cáo thực hành

**Ma trận quan hệ giữa Chuẩn đầu ra và phương pháp kiểm tra, đánh giá**

| **Hình thức đánh giá** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** | **CLO10** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Báo cáo thực hành | X | X | X | X | X | X | X | X | X | X |
| Tự luận viết | X | X | X | X | X | X | X | X | X | X |
| Thuyết trình | X | X | X | X | X | X | X | X | X | X |
| Dự lớp |  |  |  |  |  |  |  |  |  |  |

**13.Tài liệu phục vụ cho học phần**

**13.1. Tài liệu chính**

**-** Joseph Cavanagh, (2019), Digital Design and Verilog HDL Fundamentals, Cengage Learning.

**13.2. Tài liệu tham khảo**

- Neil H.E. Weste & David Harris, (2010), CMOS VLSI Design: A Circuits and Systems Perspective, Pearson.

*TP.Hồ Chí Minh, ngày 20 tháng 10 năm 2024*

|  |  |  |
| --- | --- | --- |
| **HIỆU TRƯỞNG****PGS.TS. Nguyễn Minh Đức** | **Trưởng khoa/Bộ môn****TS. Đinh Thị Thủy** | **Giảng viên biên soạn** |